



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010062112 (43) Publication.Date. 20010707

(21) Application No.1020000072956 (22) Application Date. 20001204

(51) IPC Code:

H01L 27/105

(71) Applicant:

LUCENT TECHNOLOGIES INC.

(72) Inventor:

KIZILYALLI ISIK C.

SINGH RANBIR

STEERLING LORI ANN

(30) Priority:

1999 168911 19991203 US

2000 572060 20000517 US

(54) Title of Invention

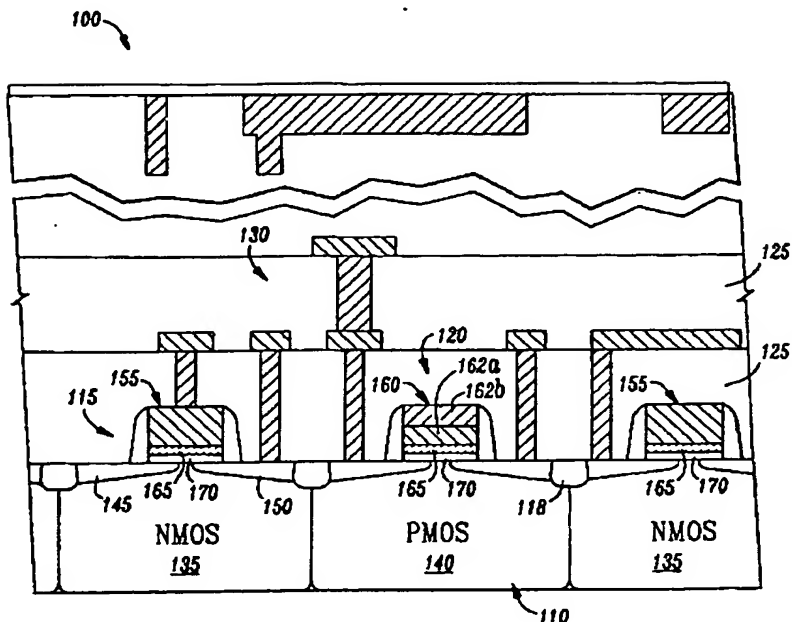
SEMICONDUCTOR DEVICE HAVING METAL GATE WITH WORK FUNCTION
COMPATIBLE WITH SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor device having a metal gate with a work function compatible with a semiconductor device is provided to reduce no density of channel carries and the switching rate of a device and causes no time delay, or no malfunction of a gate.

CONSTITUTION: In the semiconductor device(100) provided on a semiconductor substrate where first and second transistors(115, 120) of completely opposite types are formed, the semiconductor device includes a first gate electrode (155) containing the first metal gate electrode material with a work function compatible with the first transistor(115), and the second gate electrode(160) containing a second metal gate electrode material with a work function compatible with the



second transistor(120). Also, in the second gate electrode(160), the first metal gate electrode material(162b) is also provided on the second metal gate electrode material (162a), thus forming a gate stack.

© KIPO 2002

if display of image is failed, press (F5)

공개특허특 2001-0062112

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/105	(11) 공개번호 (43) 공개일자	특2001-0062112 2001년 07월 07일
(21) 출원번호	10-2000-0072955	
(22) 출원일자	2000년 12월 04일	
(30) 우선권주장	60/168,911 1999년 12월 03일 미국 (US) 09/572,060 2000년 05월 17일 미국 (US)	
(71) 출원인	루센트 테크놀로지스 인크	
(72) 발명자	미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636) 신그랜버 미국, 플로리다 32819, 올랜도, 슈가뷰코트 7867 키질알리이식씨. 미국, 뉴저지 07041, 말번, 파뷰로드 25 스티얼링로리엔 미국, 뉴저지 08540, 프린스턴, 노쓰헤리슨스트리트 330-어파트먼트 3 이병호	
(74) 대리인	이병호	

심사청구 : 없음

(54) 반도체 장치와 호환가능한 일함수를 갖는 금속 게이트를 갖는 반도체 장치

요약

본 발명은 반대 형태의 제 1 및 제 2 트랜지스터들이 위에 형성된 반도체 기판 상에 위치된 반도체 장치에 관한 것이다. 이러한 장치는, 바람직하게, 제 1 트랜지스터와 호환가능한 일함수를 갖는 제 1 게이트 전극과 제 2 게이트 전극을 포함하는 제 1 게이트 전극과 제 2 게이트 전극을 포함하는 제 2 게이트 전극을 포함하며, 상기 제 1 게이트 전극 재료는 제 2 게이트 전극 재료 상에 위치되어 게이트 스택을 형성한다.

도면

도 1

색인어

게이트 전극, 게이트 스택

명세서

도면의 간단한 설명

- 도 1은 본 발명의 한 실시예에 따른 게이트 구조를 포함하는 집적 회로의 부분 단면도.
- 도 2는 궁극적으로 형성될 본 발명에 따른 반도체 웨이퍼의 단면도.
- 도 3은 금속 에칭 장벽층의 증착후의 도 1에 도시된 반도체 웨이퍼를 도시한 도면.
- 도 4는 금속 에칭 장벽층 상에 제 1 게이트 전극 재료를 블랭킷 증착한 후의 도 3에 도시된 반도체 웨이퍼를 도시한 도면.
- 도 5는 금속 에칭 장벽층 상에 제 1 게이트 전극 재료를 패터닝한 후의 도 4에 도시된 반도체 웨이퍼를 도시한 도면.
- 도 6은 또 다른 게이트 전극 재료를 증착한 후의 도 5에 도시된 반도체 웨이퍼를 도시한 도면.
- 도 7은 또 다른 게이트 전극 재료를 패터닝한 후의 도 6에 도시된 반도체 웨이퍼를 도시한 도면.
- 도 8은 다른 게이트 전극 층을 구비하는 적층된 게이트 전극들이 PMOS 영역을 상에 형성되고, 비적층된 게이트가 NMOS 영역(125) 상에 형성되는 예시적 실시예를 도시한 도면.
- 도 9는 n⁺ 폴리실리콘이 NMOS 디바이스에서의 하위 게이트 전극 재료로 이용되는 예시적 실시예를 도시한 도면.
- 도 10은 보론 확산이 발생할 수 있는 인접한 게이트 전극 재료의 평면 구성도.

* 도면의 주요 부분에 대한 부호의 설명 *

100: 집적 회로

115,120: 트랜지스터

125: 유전체 총

130: 상호접속 구조체

본문의 상생과 생명

본영의 목적

본명이 속하는 기술 및 그 분야의 종래기술

이 발명은 일반적으로 반도체 장치에 관한 것이다.

반도체 장치들은 장치의 성능을 강화하도록 계속해서 개선되어 왔다. 예컨대, 장치의 크기를 축소하고 동작 속도를 빠르게 하는 것이 희망하는 성능 목표가 된다. 또한, 트랜지스터들도 상보형 금속 산화 실리콘(CMOS) 트랜지스터들에 대한 게이트 구조를 보다 작게 구성하는 능력이 개선됨에 따라 그 크기가 지속적으로 감소되고 있다. 게이트 구조들이 보다 작아짐에 따라, 게이트 유전체 두께도 또한 최근의 현재 기술에서는 3nm 이하로 감소되고 있다. 폴리실리콘은 이들 게이트 구조들을 형성하는 데 이용되는 재료 중 하나이다. 하지만, 특히 보다 작은 CMOS 디바이스에서 폴리실리콘을 이용하는 것은 몇몇의 문제점을 야기하며, 그 중요한 단점은 폴리실리콘 공핍 효과가 된다. 이러한 폴리실리콘 공핍 효과는 폴리실리콘이 무수한 량의 캐리어들을 갖지 못함으로써 발생된다. 현재에는, 폴리실리콘은 단지 약 $2 \times 10^{20}/\text{cm}^3$ 내지 $3 \times 10^{20}/\text{cm}^3$ 의 범위로 도핑될 수 있을 뿐이다. 그와 같이, 게이트 재료에는 (약 $5 \times 10^{21}/\text{cm}^3$ 이상의 의도된 목적에 대해) 무수한 량의 캐리어들이 존재하지 않게 되며, 게이트가 바이어스되었을 경우, 폴리실리콘 게이트/게이트 유전체 인터페이스에 인접하는 공핍 영역이 이러한 부족한 캐리어들로 인하여 발생하게 된다.

프랜차이즈가 이루고자하는 기술적 과정

폴리실리콘 게이트가 아주 높은 농도로 주입되지 않는다면, 또는 주입된 도펀트가 효과적으로 활성화되지 않는다면, 게이트 양단에 상당한 전압이 강하된다. 폴리실리콘에서의 활성 캐리어 농도는 충분히 높게 되지 못하므로, 실리콘 미산화물과 같이, 폴리실리콘/게이트 유전체에서의 페르미 레벨(Fermi level)이 인터페이스를 향할 때, 폴리실리콘에서의 밴드 밴딩은 전압 의존적으로 된다. 이러한 디바이스가 바이어스되어 실리콘 기판이 정도되고 채널이 형성된다. 폴리실리콘 게이트는 자유 캐리어가 공핍된다. 폴리실리콘이 공핍 상태로 구동될 때, 인가된 전압의 일부가 게이트 양단에서 강하되어, Si/SiO₂ 인터페이스에서의 전계를 감소시키고, 채널 캐리어 농도를 떨어뜨린다. 결과적으로, 구동 전류는 감소하게 되고, 그에 따라 디바이스의 스위칭 속도가 또한 감소된다.

게이트 유전체가 3nm 이하로 스케일됨에 따라, 상술한 바와 같은 폴리실리콘 공핍에 기인하는 영향이 더욱 더 심각하게 된다. 폴리실리콘 공핍 효과는 게이트 전극을 그가 실제로 존재하는 것보다 전기적으로 더욱 두껍게 나타내게 한다. 예컨대, 폴리실리콘 공핍 효과는 게이트 산화물이 마치 실제 게이트 산화물 두께 보다 약 0.5nm 내지 약 1.5nm 두께는 것처럼 전기적으로 작용하게 한다. 게이트 유전체가 15nm 두께 정도일 때, 실리콘 공핍 효과에 기인한 0.5nm의 추가적 두께는 무의미하게 된다. 하지만, 게이트 유전체 두께가 약 5nm 이하일 때는, 폴리실리콘 공핍 효과에 기인한 0.5nm의 추가적 등장 두께는 상술한 바와 같이 디바이스의 동작 및 성능에 상당한 영향을 주게될 수 있다. 부가하여, 또 다른 어려움은 디바이스의 스케일링으로 열처리가 역시 제한된다는 것이다(즉, 열 효율이 감소된다). 따라서, 폴리실리콘은 예컨대 2-3E20/cm²으로 과중하게 도핑되지만, 도펀트는 이를 감소된 열 효율로 인하여 전기적으로 활성화하기가 어렵게 된다.

폴리실리콘 재료가 도핑될 수 없거나 또는 도펀트가 약 2-3E20/cm² 보다 큰 레벨들에서 활성화될 수 없으므로, 게이트 길이를 스케일링하는 것은 게이트 저항을 생성시킨다. 따라서, 폴리실리콘에 대해 원하는 것보다 높은 전기적 시트 저항 또는 저항력이 발생하게 되고, RC 시정수의 형성으로 인하여 회로에 있어 속도를 늦추는 큰 시간 지연들이 발생하게 된다.

폴리실리콘 게이트와 맞닥뜨리는 또 다른 문제는 측 확산(lateral diffusion)이다. 종종, 게이트 도판트는 상기 게이트에 오톤작을 일으키게 할 수 있는 이웃하는 역-도핑 게이트(counter-doped gate)에 측 방향으로 확산한다.

상기 장치들을 미크론 이하의 체제로 추구하였을 때 소트 채널 효과를 줄이고 문턱 전압을 낮추기 위해 p형 실리콘 게이트의 사용을 처음에도 도입하였다. 그렇지만, p형 실리콘 게이트용 도판트로서 보론을 사용함에 따라 도판트 확산 및 그에 따른 게이트 절연체로의 침투가 문제로 되었다. 게이트 절연체에 보론이 침투하면 절연체의 품질뿐만 아니라 장치의 동작에도 많은 문제를 야기한다. 보론 침투는 금속 산화 반도체(MOS) 장치의 문턱 전압을 보다 포지티브 값들(positive values)로 이동시킨다. 금속 산화 반도체 전계 효과 트랜지스터(MOSFET) 트랜스컨덕턴스 및 임계이하 경사(subthreshold slope)도 보론 침투와 관련이 있다.

따라서, 종래 기술에 있어서 상술한 문제를 해결하는 게이트 구조를 갖는 반도체 장치가 필요하다.

법령의 구성 및 작용

본래 기술의 상술한 결점을 해결하기 위해, 본 발명은 반대 형태의 제1 및 제2 트랜지스터가 형성된 반

도체 기판 위에 배치된 반도체 장치를 제공한다. 예시적 실시예에서, 상기 장치는 상기 제1 트랜지스터와 호환가능한 일함수(work function)를 갖는 제1 게이트 전극 재료를 구비하는 제1 게이트 전극과, 상기 제2 트랜지스터와 호환가능한 일함수를 갖는 제2 게이트 전극 재료와 상기 제1 게이트 전극 재료를 구비하는 제2 게이트 전극을 포함하며, 이것은 게이트 스택을 형성한다.

본 발명은 첨부된 도면 특징들을 참조하여 후술되는 설명으로부터 이해될 수 있다. 반도체 산업에서의 표준적인 실행을 설명하기 위해 다양한 특징들을 실제의 크기대로 도시하지는 않았다.

먼저 도 1을 참조하면, 본 발명에서 적용하는 게이트 구조를 병합하는 예시적 집적 회로(100)의 부분 단면도가 도시되어 있다. 집적 회로(100)는 CMOS 장치, BiCMOS 장치, 일반적 형태 또는 다른 형태의 집적 회로가 될 수 있다. 도 1에는 산화 격리 구조체(118)를 사이에 위치한 트랜지스터(115, 120), 상호접속 구조체(130)가 형성된 유전체 층(125)(이것들은 서로 상호접속층을 형성함)을 포함하는 집적 회로 장치(100)의 종래의 성분들도 도시되어 있다. 상호접속 구조체(130)는 트랜지스터(115, 120)를 집적 회로의 다른 영역(도시되지 않음)에 접속시킨다. 또한 집적 회로(100)에는 NMOS 튜브, PMOS 튜브, 소스 영역(145), 및 드레인 영역(150)이 포함되어 있다. 트랜지스터(115, 120)는 또한 본 발명에서 적용하는 게이트 구조체(155, 160)도 각각 포함한다. 보다 상세히 후술되는 바와 같이, 게이트 구조체(155, 160)는 장벽 층(165) 및 게이트 유전체 층(170) 위에 위치된다. 도시된 바와 같이, 게이트 구조체(160)는 상이한 게이트 층(162a, 162b)을 포함한다.

상기 게이트 전극 재료는 트랜지스터 장치와 호환하여 동작하게 될 일함수를 가지도록 선택된다. 즉, 트랜지스터 장치가 NMOS 트랜지스터이면, 상기 게이트 전극 재료는 n^+ 도핑 폴리실리콘과 실질적으로 동일한 일함수를 양호하게 가지며, 본 실시예에서는 약 4.2 eV이다. 그러한 재료의 몇 가지 예로는 탄탈, 텅스텐, 티타늄, 티타늄 질화물, 티타늄 질화물 또는 n 형 도핑 폴리실리콘을 들 수 있다. 상기 폴리실리콘 게이트 전극을 무제한으로 도핑하는 것이 가능하였다면, 공핍 영역은 현저하게 작아질 것이다. 다행히도, 금속 게이트들은 종래의 폴리실리콘 게이트 구조체에 비해 무제한적인 양(예를 들어, $5E22/cm^3$)의 캐리어를 실질적으로 갖는다. 그래서, 금속 게이트들을 사용하여 실리콘 공핍을 현저하게 감소시킬 수 있다.

한편, 상기 트랜지스터 장치가 PMOS 트랜지스터이면, 상기 게이트 전극 재료는 p^+ 도핑 폴리실리콘과 실질적으로 동일한 일함수를 양호하게 가지며, 본 실시예에서는 약 5.2 eV 내지 약 5.3 eV의 범위를 가질 수 있다. 그러한 재료의 예로는 텅스텐 실리사이드를 들 수 있는데, 이것은 p^+ 도핑 폴리실리콘의 일함수와 매우 유사한 유효 일함수를 가지기 때문에 특히 이롭다. 후술되는 실시예에서, 상기 게이트들은 NMOS 장치 위에 위치하도록 패턴화된다. 그래서, 본 특정된 예에서는, n^+ 도핑 폴리실리콘과 실질적으로 동일한 일함수를 갖는 게이트 전극 재료를 사용해야 한다.

이제 도 2를 참조하면, 예를 들어 에피택셜 층이 증착된 기판(210)을 갖는 반도체 웨이퍼(200)의 부분 단면도가 도시되어 있으며, 본 발명에서 적용하는 반도체 장치가 기판 위에 최종적으로 형성된다. 설명되는 실시예에서, 반도체 기판(200)은 약 300 nm의 양호한 깊이를 갖는 트렌치 필드 산화 영역(215)과 게이트 유전체 층(220)을 포함한다. 실리콘 미산화 층과 같은 게이트 유전체 층(220)은 종래의 방식으로 임의의 두께로 형성된다. 그렇지만, 오늘날의 기술에 있어서, 게이트 유전체 층(220)은 약 3 nm 이하의 양호한 두께를 갖는다. 게이트 유전체 층(220)은 기판(210) 위에 교대로 형성된 n 채널 금속 산화 반도체(NMOS) 튜브(225) 및 p 채널 금속 산화 반도체(PMOS) 튜브(230)를 양호하게 갖는다. 당 분야에 익숙한 기술인들은 소스/드레인(도시되지 않음)이 완전한 반도체 장치에 또한 포함되고, 필드 산화 영역(215)들 사이에 채널 영역(235)을 형성하는 것을 실현한다. 당 분야에 익숙한 기술인들은 또한 반도체 장치가 동작할 때 원하는 채널형을 달성하기 위해 NMOS와 PMOS(225, 230), 및 소스/드레인 영역을 도핑시키는 방법을 실현한다.

이제 도 3을 보면, 금속 에칭 장벽층(310)의 증착후의 도 2의 반도체 웨이퍼(200)가 도시되어 있다. 상기 장벽층(310)은 아래에 논의된 게이트 구조를 형성하기 위해 사용된 후속 에칭 프로세스를 위한 금속 에치 스톱으로 작용한다. 상기 금속 에칭 장벽층(310)은 양호하게 높은 유전상수(K)를 갖는 재료이다. 예를 들어, 상기 금속 에칭 장벽층(310)은 탄탈 펜톡사이드, 실리콘 질화물, 또는 알루미늄 옥사이드일 수 있다. 상기 금속 에칭 장벽층(310)은 종래의 프로세스들을 사용하여 증착될 수 있고, 요구된다면 약 3 nm의 두께로 증착될 수 있다. 높은 K 때문에, 상기 금속 에칭 장벽층(310)은 반도체 장치의 전기적 퍼레이션을 크게 바꾸지는 않고, 단지 상기 장치의 게이트 유전체에 부가하여 작은 양의 두께를 효과적으로 부가한다.

이제 도 4 및 도 5를 보면, 상기 금속 에칭 장벽층(310)에 대한 제 1 게이트 전극 재료(410)의 블랭킷(blanket)증착후의 도 3에 도시된 반도체 웨이퍼(200)가 예시되어 있다. 상기 제 1 전극 재료(410)는 약 10 nm에서 약 40 nm에 걸치는 두께로 증착될 수 있다. 도 5에 도시된 바와 같이, 상기 게이트 전극 재료(410)는 상기 요구되는 NMOS 또는 PMOS 영역에 대해 게이트 구조(510)를 형성하기 위해 종래의 포토리소그래픽 프로세스를 사용하여 패턴화된다. 상기 게이트 전극 재료(410)는 그것이 내부에서 동작할 트랜지스터 장치와 호환되는 일함수를 갖도록 선택된다. 즉, 상기 트랜지스터 장치가 NMOS 트랜지스터라면, 그다음에 상기 게이트 전극 재료(410)는 n^+ 도핑된 폴리실리콘과 실질적으로 동일한 일함수를 양호하게 가지며, 이것은, 양호한 실시예에서, 약 4.2 eV이다. 그와 같은 재료들의 몇몇 예들은 탄탈, 텅스텐, 티타늄, 티타늄 질화물, 또는 n -타입 도핑된 폴리실리콘을 포함한다. 상기 폴리실리콘 게이트 전극을 무한으로 도핑하는 것이 가능하다면, 상기 공핍 영역은 더 작게될 것이다. 다행히도, 금속 게이트들은 종래의 게이트 구조들에 비해 실질적으로 무한의(예를 들어, $5E22/cm^3$) 양의 캐리어들을 갖고 있다. 그래서 상기 실리콘 공핍 영역은 금속 게이트들을 사용하여 크게 감소될 수 있다.

반면에, 상기 트랜지스터 장치가 PMOS 트랜지스터라면, 상기 게이트 전극 재료(410)는 p^+ 도핑된 폴리실리콘과 실질적으로 동일한 일함수를 양호하게 가지며, 이것은 예시적인 실시예에서 5.2 eV에서 5.3 eV의

범위에 걸칠 수 있다. 그와같은 재료의 예는 텅스텐 실리사이드인데, 이것은 p-도핑된 폴리실리콘의 것과 매우 유사한 유효일함수를 가지기 때문에 실질상 유리하다. 예시된 실시예에서, 상기 게이트들(510)은 상기 NMOS 장치(225)에 대해 위치하도록 패턴화된다. 그래서, 특정 예에서, n- 폴리실리콘과 실질적으로 동일한 일함수를 갖는 게이트 전극 재료가 사용되어야 한다.

이제 도 6과 도 7을 보면, 다른 게이트 전극재료(610)의 증착후의 도 5에 도시된 반도체 웨이퍼의 부분 단면이 예시되어 있다. 양호하게, 상기 게이트 전극 재료(610)는 패터닝전에 약 40 nm에서 약 400 nm에 걸치는 두께로 증착된다. 상기 게이트 전극 재료(610)는 상기 게이트들(510)이 형성되는 장치에 반대되는 장치의 일함수와 실질적으로 동일한 일함수를 갖도록 선택된다. 예를들어, 예시된 실시예에서, 상기 게이트(510)의 일함수는 NMOS 장치와 호환성이 있고, 그래서, 상기 게이트 전극 재료(610)의 일함수는 PMOS 장치와 호환하도록 선택된다. 상기 게이트 전극재료(610)는 한 장치상에 서로 다른 게이트층들(710a와 710b)을 갖는 스택된 게이트 전극들(710)을 형성하고 다른 장치상에 스택되지 않은 게이트 전극(715)을 형성하기 위해 종래의 포토소그라픽 프로세스들로 패턴화된다. 예시된 실시예에서, 상기 게이트 전극층(710a)은 양호하게 탄탈, 텅스텐, 티타늄, 티타늄 질화물, 탄탈 질화물 또는 n- 폴리실리콘이며, 반면에 게이트(715)에 대한 양호한 재료는 텅스텐 실리사이드이다.

상기에 논의된 집적화는 도 8에 예시된 장치에 도달하기 위해 변경될 수 있다. 도 8은 게이트 층들(810a와 810b)을 포함하는 스택된 게이트들(810)이 상기 PMOS 영역들(230)에 대해 형성되며 스택되지 않은 게이트들(815)이 NMOS 영역들(225)에 대해 형성되는 예시적인 실시예를 도시한다. 상기 특정 실시예에서, 층(810a)을 포함하는 예시적인 재료들은 탄탈, 텅스텐, 티타늄, 티타늄 질화물, 탄탈 질화물 또는 n- 폴리실리콘일 수 있다.

도 9에 도시된 예시적인 실시예에서, n- 폴리실리콘은 상기 NMOS 장치에 대해 도핑된 폴리실리콘 층(910a)과 텅스텐 실리사이드 층(910b)을 갖는 스택된 게이트(910)를 형성하는데 사용될 수 있으며, 반면에, 상기 PMOS 장치에 대해 형성된 게이트들(915)은 텅스텐 실리사이드를 포함한다.

발명의 효과

상기 게이트들이 도핑된 폴리실리콘 층을 포함하는 상기 실시예들에서, 상기 폴리실리콘 층이 상기 위에 있는 텅스텐 실리사이드 금속층으로부터 도펀트(dopant)의 확산에 의해 도핑될 수 있다는 것이 유익되어야 한다. 예를들어, n- 폴리실리콘을 형성할 때, 인(P) 또는 비소(As)가 약 $0.1 \times 10^{16}/\text{cm}^2$ 에서 약 $1 \times 10^{16}/\text{cm}^2$, 5-50 KeV에 걸치는 농도 레벨에서 상기 게이트들을 패터닝하기 전에 상기 텅스텐 실리사이드로 주입될 수 있고, 금속 열적 어닐링 또는 노(furnace)로 확산될 수 있다. 이것은 금속의 일함수가 도펀트를 금속에 확산하여 변경되지 않으므로 금속 실리사이드의 일함수에 영향을 주지 않고 이루어질 수 있다. 그래서, 도펀트를 폴리실리콘에 도입하기 위해 통상적으로 필요한 부가적 마스크 단계들이 회피될 수 있다.

본 발명에 의해 제공되는 다른 잇점은 상기 새로운 게이트 구조들이 boron(B)의 측면 확산을 방해한다는 것이며, 도 10에 도시된 바와같이 인정하지만 반대이고 또는 반대로 도핑된 게이트 구조들(1015, 1020)에서 화살표(1010)에 의해 표시된다. boron 확산은 boron의 PMOS 게이트 구조내의 폴리실리콘으로의 주입후의 열처리동안 발생한다. 상기 boron은 인정하는 NMOS 게이트 구조로 측면으로 확산하며, 이것은 상기 NMOS 장치가 기능불량이 되게 한다. 상기 게이트 유전체를 통한 boron의 투과는 텅스텐 실리사이드와 같은 금속이 boron 도핑된 폴리실리콘을 대신해 사용될 수 있기 때문에 또한 억제된다.

본 발명은 상세히 기술되었지만, 당업자는 가장 광범한 형태에서 본 발명의 정신과 범위를 벗어나지 않고 다양한 변화를, 치환 및 변경을 할 수 있다는 것을 이해해야 한다.

(57) 청구의 범위

청구항 1. 반대 형태의 제 1 및 제 2 트랜지스터들이 위에 형성된 반도체 기판 상에 위치한 반도체 장치에 있어서,

제 1 트랜지스터와 호환가능한 일함수를 갖는 제 1 금속 게이트 전극 재료를 포함하는 제 1 게이트 전극, 및

제 2 트랜지스터와 호환가능한 일함수를 갖는 제 2 금속 게이트 전극 재료 및 제 2 금속 게이트 전극 재료 상에 위치한 제 1 금속 게이트 전극 재료를 포함하는 제 2 게이트 전극을 구비하는, 반도체 장치.

청구항 2. 제 1 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 금속층인, 반도체 장치.

청구항 3. 제 1 항에 있어서, 상기 제 2 금속 게이트 전극 재료는 금속층인, 반도체 장치.

청구항 4. 제 1 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 n-형 도펀트로 도핑된 폴리실리콘을 포함하고, 제 1 트랜지스터는 NMOS 디바이스인, 반도체 장치.

청구항 5. 제 1 항에 있어서, 상기 제 2 금속 게이트 전극 재료는 금속 실리사이드인, 반도체 장치.

청구항 6. 제 5 항에 있어서, 상기 금속 실리사이드는 텅스텐 실리사이드인, 반도체 장치.

청구항 7. 제 1 항에 있어서, 제 1 및 제 2 게이트 전극들 아래에 위치한 금속 에칭 장벽층을 더 포함하는, 반도체 장치.

청구항 8. 제 7 항에 있어서, 상기 금속 에칭 장벽층은 고유전율을 갖는, 반도체 장치.

청구항 9. 제 8 항에 있어서, 상기 금속 에칭 장벽층은 탄탈 5산화물, 실리콘 질화물 또는 알루미늄

산화물인, 반도체 장치.

청구항 10. 제 1 항에 있어서, 제 1 및 제 2 게이트 전극을 아래에 위치한 게이트 유전체를 더 포함하는, 반도체 장치.

청구항 11. 제 9 항에 있어서, 상기 게이트 유전체는 약 2 nm 이하의 두께를 갖는 실리콘 이산화물인, 반도체 장치.

청구항 12. 제 1 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 탄탈, 텅스텐, 티타늄, 티타늄 질화물 또는 탄탈 질화물인, 반도체 장치.

청구항 13. 제 1 항에 있어서, 상기 제 1 게이트 전극은 PMOS 디바이스의 일부를 형성하며, 상기 제 2 게이트 전극은 NMOS 디바이스의 일부를 형성하는, 반도체 장치.

청구항 14. 제 1 항에 있어서, 상기 제 1 게이트 전극은 NMOS 디바이스의 일부를 형성하며, 상기 제 2 게이트 전극은 PMOS 디바이스의 일부를 형성하는, 반도체 장치.

청구항 15. 제 1 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 약 4.2eV의 일함수를 가지며, 제 2 금속 게이트 전극 재료는 약 5.2eV의 일함수를 갖는, 반도체 장치.

청구항 16. 반대 형태의 제 1 및 제 2 트랜지스터들이 위에 형성된 반도체 기판 상에 위치한 반도체 장치를 제조하는 방법에 있어서,

제 1 트랜지스터와 호환가능한 일함수를 갖는 제 1 금속 게이트 전극 재료의 제 1 게이트 전극을 형성하는 단계, 및

제 2 트랜지스터와 호환가능한 일함수를 갖는 제 2 금속 게이트 전극 재료의 제 2 게이트 전극을 형성하는 단계를 구비하는, 반도체 장치 제조 방법.

청구항 17. 제 16 항에 있어서, 제 1 금속 게이트 전극 재료를 형성하는 단계는 금속 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 18. 제 16 항에 있어서, 제 2 금속 게이트 전극 재료를 형성하는 단계는 금속 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 19. 제 16 항에 있어서, 제 1 게이트 전극을 형성하는 단계는 n-형 도펀트로 도핑된 도핑 폴리실리콘을 포함하는 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 20. 제 16 항에 있어서, 제 2 게이트 전극을 형성하는 단계는 금속 실리콘사이드를 포함하는 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 21. 제 20 항에 있어서, 게이트 전극을 형성하는 단계는 텅스텐 실리콘사이드를 포함하는 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 22. 제 16 항에 있어서, 상기 제 1 및 제 2 게이트 전극들을 형성하기 전에 금속 에칭 장벽층을 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 23. 제 22 항에 있어서, 금속 에칭 장벽층을 형성하는 단계는 고유전율을 갖는 금속 에칭 장벽층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 24. 제 23 항에 있어서, 금속 에칭 장벽층을 형성하는 단계는 탄탈, 산화물, 실리콘 질화물 또는 알루미늄 산화물을 포함하는 금속 에칭 장벽층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 25. 제 16 항에 있어서, 상기 제 1 및 제 2 게이트 전극들을 형성하기 전에 게이트 유전체를 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 26. 제 25 항에 있어서, 상기 게이트 유전체를 형성하는 단계는 약 2 nm 이하의 두께로 게이트 실리콘 이산화물을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 27. 제 16 항에 있어서, 제 1 금속 게이트 전극 재료를 형성하는 단계는 탄탈, 텅스텐, 티타늄, 티타늄 질화물 또는 탄탈 질화물을 포함하는 금속 게이트 전극 재료를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 28. 제 16 항에 있어서, 상기 제 1 게이트 전극을 형성하는 단계는 NMOS 디바이스의 일부를 형성하는 단계를 포함하고, 상기 제 2 게이트 전극을 형성하는 단계는 PMOS 디바이스의 일부를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 29. 제 16 항에 있어서, 상기 제 1 게이트 전극을 형성하는 단계는 PMOS 디바이스의 일부를 형성하는 단계를 포함하고, 상기 제 2 게이트 전극을 형성하는 단계는 NMOS 디바이스의 일부를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 30. 제 16 항에 있어서, 제 1 게이트 전극을 형성하는 단계는 약 4.2eV의 일함수를 갖는 재료로 게이트 전극을 형성하는 단계를 포함하며, 제 2 게이트 전극을 형성하는 단계는 약 5.2eV의 일함수를 갖는 재료로 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 31. 반도체 기판 상에 위치한 집적 회로에 있어서:

상기 기판 상에 형성된 반대 형태의 제 1 및 제 2 트랜지스터로서,

제 1 트랜지스터와 호환가능한 일함수를 갖는 제 1 금속 게이트 전극 재료를 포함하는 제 1 게이트 전극과,

제 2 트랜지스터와 호환가능한 일함수를 갖는 제 2 금속 게이트 전극 재료 및 제 2 금속 게이트 전극 재료 상에 위치한 제 1 금속 게이트 전극 재료를 포함하는 제 2 게이트 전극을 포함하는, 상기 제 1 및 제 2 트랜지스터; 및

집적 회로를 형성하도록 상기 트랜지스터들을 전기적으로 접속하는 상호접속부들을 구비하는, 집적 회로.

청구항 32. 제 31 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 금속층이며, 상기 제 2 금속 게이트 전극 재료는 또 다른 금속층인, 집적 회로.

청구항 33. 제 31 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 n-형 도펀트로 도핑된 폴리실리콘을 포함하고, 제 1 트랜지스터는 NMOS 디바이스인, 집적 회로.

청구항 34. 제 31 항에 있어서, 상기 제 2 금속 게이트 전극 재료는 텅스텐 실리사이드인, 집적 회로.

청구항 35. 제 31 항에 있어서, 상기 제 1 및 제 2 게이트 전극을 아래에 위치한 고유전을 금속 에칭 장벽층을 더 포함하는, 집적 회로.

청구항 36. 제 35 항에 있어서, 상기 금속 에칭 장벽층은 탄탈 5산화물, 실리콘 질화물 또는 알루미늄 산화물인, 집적 회로.

청구항 37. 제 31 항에 있어서, 제 1 및 제 2 게이트 전극을 아래에 위치되며, 약 3 nm 이하의 두께를 갖는 게이트 유전체를 더 포함하는, 집적 회로.

청구항 38. 제 31 항에 있어서, 상기 제 1 게이트 전극은 PMOS 디바이스의 일부를 형성하며, 상기 제 2 게이트 전극은 NMOS 디바이스의 일부를 형성하는, 집적 회로.

청구항 39. 제 31 항에 있어서, 상기 제 1 게이트 전극은 NMOS 디바이스의 일부를 형성하며, 상기 제 2 게이트 전극은 PMOS 디바이스의 일부를 형성하는, 집적 회로.

청구항 40. 제 31 항에 있어서, 상기 제 1 금속 게이트 전극 재료는 약 4.2eV의 일함수를 가지며, 상기 제 2 금속 게이트 전극 재료는 약 5.2eV의 일함수를 갖는, 집적 회로.

도면

도면1

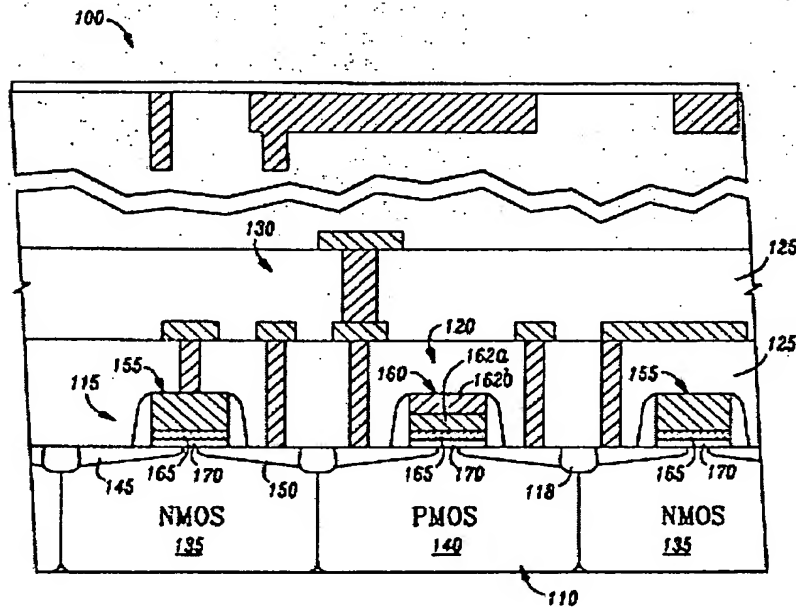


도표2

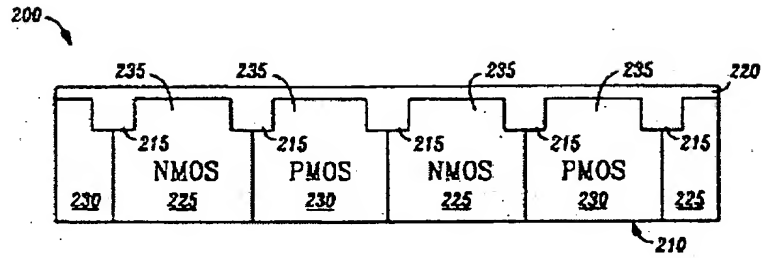
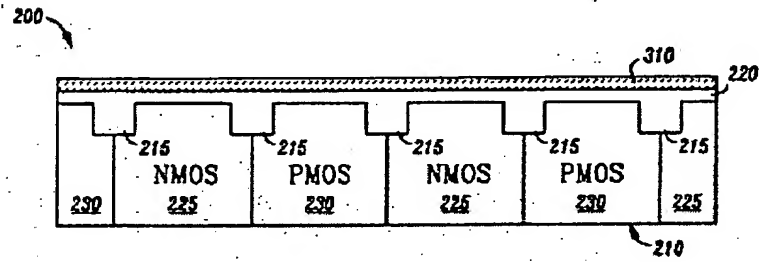


도표3



524

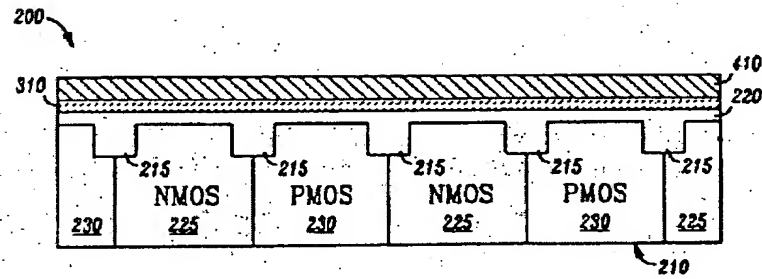
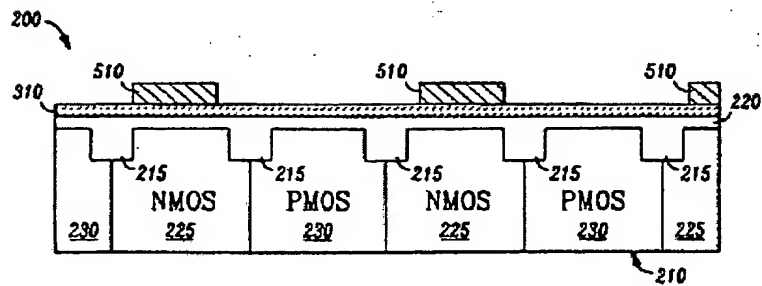
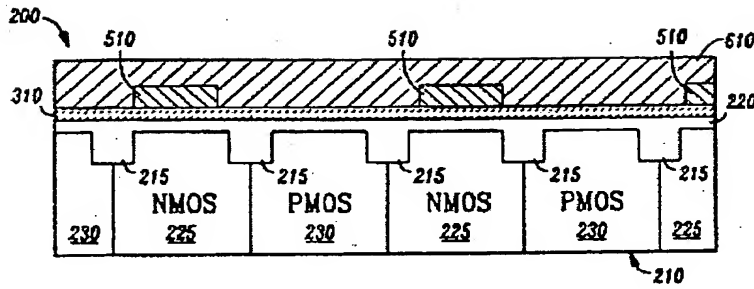


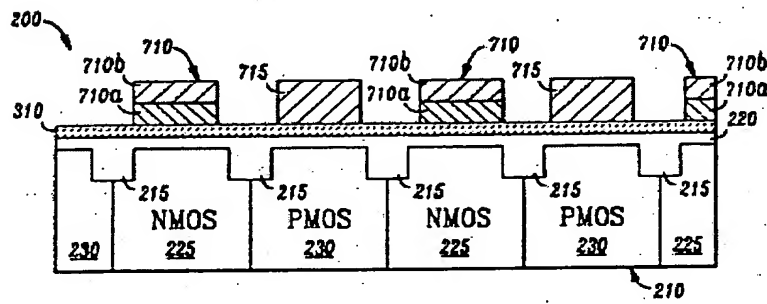
도표5



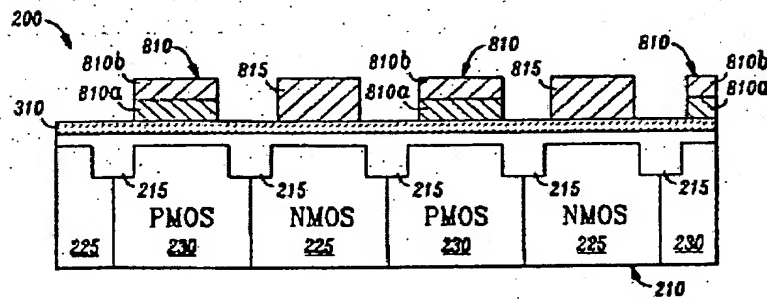
도면6



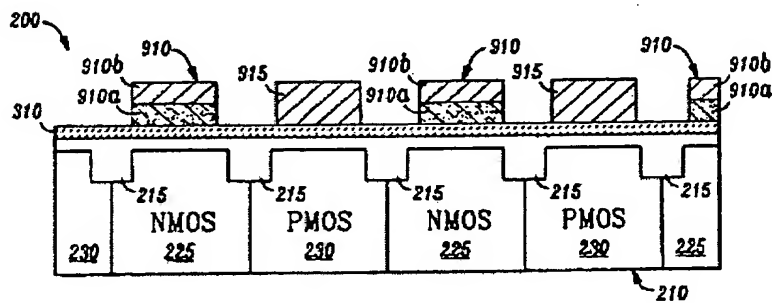
도면7



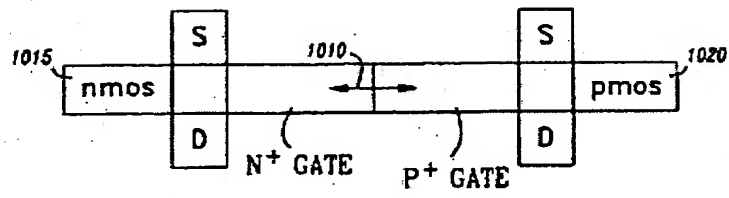
도면8



도면9



도면 10



Transmittal No.: 9-5-2003-027799609

Transmittal Date: July 23, 2003

Due Date: September 23, 2003

**KOREAN INTELLECTUAL PROPERTY OFFICE
NOTICE OF REJECTION**

Applicant : (Name) Hynix Semiconductor Inc. (code : 119980045698)
(Address) San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do

Attorney : (Name) Hoo Dong LEE et al.
(Address) Hankook Tire Bldg.
647-15, Yoksam-dong
Gangnam-gu, Seoul

Application No. : Korean Patent Application No. 10-2001-0067848

Title of the Invention : CMOS OF SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

As a result of the examination of the present application, the following rejection reasons are notified pursuant to Article 63 of the Korean Patent Law. An argument or amendment thereto, if any, must be submitted within the above due date (time extensions available).

[Rejection Grounds]

Claims 1-16 of the present application is rejected under Article 29(2) of the Korean Patent Law since the claimed inventions are deemed obvious to a person having ordinary skill in the art in view of the cited references.

1. Claims 1-6 disclose a CMOS comprising a first gate electrode having a stacked structure of a first metal layer, a polysilicon layer and a second metal layer; and a second gate electrode having a stacked structure of a polysilicon layer and a second metal layer. The CMOS can be easily anticipated by the cited reference 1(KR Patent Pub. No. 1995-704816(Nov. 20, 1995)) which teaches a MOS transistor with a composite gate electrode in which a first metal layer, a polysilicon layer and a second metal layer stack, which is compatible with standard CMOS fabrication processes; and the cited reference 2(KR Patent Pub. No. 2001-62112(July 7, 2001)) which discloses a semiconductor device having a metal gate with a work function compatible with a semiconductor device(Article 29(2) of Patent Law).

2. Clams 7-16 disclose a method for manufacturing a CMOS comprising a step for simultaneously forming a first gate electrode having a stacked structure of a first metal layer, a polysilicon layer and a second metal layer; and a second gate electrode having a stacked structure of a polysilicon layer and a second metal layer. The method can be easily anticipated by the cited reference 1 which teaches a method for forming a MOS transistor with a composite gate electrode in which a first metal layer, a polysilicon layer and a second metal layer stack, which is compatible with standard CMOS fabrication processes; and the cited reference 2 which discloses a method for fabricating a semiconductor device having a metal gate with a work function compatible with a semiconductor device(Article 29(2) of Patent Law).

Attached. 1. KR Patent Pub. No. 1995-704816(Nov. 20, 1995)

2. KR Patent Pub. No. 2001-62112(July 7, 2001)

Date: July 23, 2003

Korean Intellectual Property Office

The Examining Division 4

Semiconductor Dept. II

Patent Examiner: Geun Mo KIM

출력 일자: 2003/7/24

발송번호 : 9-5-2003-027799609

수신 : 서울 강남구 역삼1동 647-15 한국타이어빌

발송일자 : 2003.07.23

당 8층(태평양특허법률사무소)

제출기일 : 2003.09.23

이후동 귀하

135-723

특허청 의견제출통지서

출원인 명칭 주식회사 하이닉스반도체 (출원인코드: 119980045698)

주소 경기 이천시 부발읍 아미리 산136-1

대리인 성명 이후동 외 1 명

주소 서울 강남구 역삼1동 647-15 한국타이어빌당 8층(태평양특허법률사무소)

출원번호 10-2001-0067848

발명의 명칭 반도체 소자의 시모스(CMOS) 및 그의 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

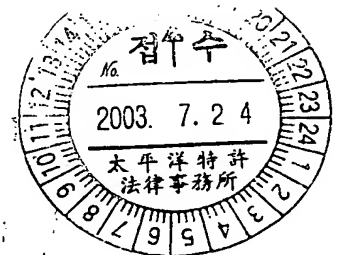
[아래]

1. 청구항 제1-6항의 제1금속층/다결정 실리콘층/제2금속층의 적층 구조로 구비되는 제1게이트 전극, 다결정 실리콘층/제2금속층의 적층 구조로 구비되는 제2게이트 전극을 갖는 CMOS는 인용발명1(한국공개특허공보 1995-704816호(1995.11.20))의 표준 CMOS 제조 프로세스로써 양립할 수 있는 제1금속층/다결정 실리콘층/제2금속층의 적층 구조를 갖는 복합 게이트 전극을 갖는 MOS 트랜지스터 및 인용발명2(한국공개특허공보 2001-62112호(2001.07.07))의 반도체 장치와 호환가능한 일함수를 갖는 금속 게이트를 갖는 반도체장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
2. 청구항 제7-16항의 제1금속층/다결정 실리콘층/제2금속층의 적층 구조를 갖는 제1게이트 전극을 형성하는 동시에 다결정 실리콘층/제2금속층의 적층 구조를 갖는 제2게이트 전극을 형성하는 단계를 갖는 CMOS제조방법은 인용발명1의 표준 CMOS 제조 프로세스로써 양립할 수 있는 제1금속층/다결정 실리콘층/제2금속층의 적층 구조를 갖는 복합 게이트 전극을 갖는 MOS 트랜지스터 제조방법 및 인용발명2의 반도체 장치와 호환가능한 일함수를 갖는 금속 게이트를 갖는 반도체장치 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

[참 부]

첨부 1 한국공개특허공보 1995-704816호(1995.11.20) 1부

첨부2 한국공개특허공보 2001-62112호(2001.07.07) 1부 끝.



출력 일자: 2003/7/24

2003.07.23

특허청

심사4국

반도체2심사담당관실

심사관 김근모



<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위내에서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터